

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338535

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H01L 21/60

(21)Application number : 03-309464

(71)Applicant : SONITSUKUSU:KK

(22)Date of filing : 25.11.1991

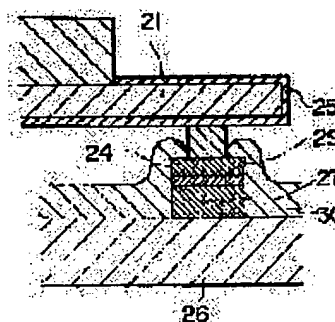
(72)Inventor : SHIMAZU YASUO

## (54) TAPE AUTOMATED BONDING METHOD UTILIZING SOLDER BUPM

### (57)Abstract:

**PURPOSE:** To provide a tape automated bonding(TAB) method that an LSI chip electrode is connected to the lead of a film carrier, wherein bonding bumps formed on an electrodes or leads are made of solder so as to be lessened in forming cost and kept high in bonding reliability and to enhance a bonding process in yield taking advantage of the properties of solder.

**CONSTITUTION:** Solder bumps are formed on the required spots of TAB leads or chip electrodes 27, and a copper oxide film 25 or a solder resist film is formed surrounding the solder bumps 24 so as not only to control the lead or the electrode in solder wettability but also to protect a copper foil pattern against corrosion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]"

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is the tape automated bonding approach of the solder bump use which forms the copper-acid-ized film or the solder resist film in the circumference region which formed the bump for junction in each electrode of each lead edge of a tape carrier package, or an integrated circuit device with solder, and left only this bump to it, and is characterize by for range other than a joint to make solder leakage nature regulate, to carry out fused junction of this solder bump, and to carry out package junction of the lead with the above-mentioned electrode.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention forms a bump predetermined with solder in the electrode of a chip, and the lead edge by the side of a film on the occasion of this junction with respect to the tape automated bonding (TAB) which carries out direct bonding of the chip of a super-high density integrated circuit device (LSI) to a long picture-like resin film, and parts other than a bump's front face make solder leakage nature regulate, and are related with the tape automated bonding approach of the solder bump use which joins both by this solder bump's melting.

[0002]

[Description of the Prior Art] Although LSI is used abundantly for the miniaturization of various electronic equipment, TAB attracts attention these days from the mounting technology which carries this LSI in the circuit board. It is the junction approach very effective in LSI of the super-\*\* pin by which neither cost quantity nor a yield fall is avoided by the approach of TAB forming a lead and a circuit pattern by copper foil on a photographic film and the long resin film of isomorphism voice, being the method which joins the chip of LSI there through a bump, and bundling up irrespective of the number of electrodes of a chip, and junction being possible and carrying out wire bonding of the lead to each electrode by the conventional gold streak separately like common knowledge.

[0003] the resin film used by Above TAB -- polyimide and glass fiber close epoxy -- or It is fabricated by 75-125 micrometers in thickness with resin, such as polyester, with a width of face of 35-70mm in the shape of a long film. And it is the tape carrier package by which the lead predetermined with rolling copper, electrolytic copper, etc. and the circuit pattern were formed in the front face by 18-35 micrometers in thickness. Moreover, since have formed the bump of the detailed letter of a projection in this lead edge beforehand of solid gold etc., junction to the electrode of an LSI chip is faced, this bump is pressurized and heated and both are joined, a bump is very important for TAB.

[0004] Hereafter, it explains, referring to drawing 1 and drawing 2 about the conventional bump. In this drawing, many predetermined electrodes 2 are formed in the top face of the chip 1 of LSI, and the protective coat (passivation) 3 for protecting an electrode 2 to the each is formed, and laminating formation of the multilevel-metal film (barrier metal) 4 is carried out in the front face of this electrode 2, and the bumps 5, such as pure gold, are further deposited by electrolytic plating in the upper part.

[0005] A bump's 5 configurations differ like the formation fault, and in the case of drawing 1, it is called a mushroom bump, and on the occasion of a bump's 5 formation, using the thin thing which is 1-2 micrometers, the thickness of the photoresist film carries out electrolytic plating processing, and carries out deposit formation. The example of drawing 2 is a gestalt made when it is called a straight Wall bump and thickness carries out electrolytic plating processing on the occasion of a bump's 5 formation using the thick photoresist film which is 10-50 micrometers.

[0006] Although the heating press of the lead section 7 of a tape carrier package 6 is carried out from a bump 5 on the occasion of junction as shown in drawing 3 The common bump 5 currently conventionally carried out as described above is formed of solid gold (Au). The outside surface of the

lead section 7 of another side Surface treatment has been carried out with Au or tin (Sn), and, in the case of the combination of Au, it becomes the thermocompression bonding of Au-Au, and, in the case of the combination of Au and Sn, becomes Au-Sn eutectic association.

[0007] Although a barrier metal 4 is made to put on an electrode 2 first when forming the above-mentioned bump 5 There is a possibility of damaging gate oxide, the silicon base, etc. where remarkable stress acts on the wafer of LSI chip 1, and is thin for advanced integration at this time. Moreover, since the process when forming a bump 5 has the resist removal process for a photolithography process - plating process - plating the photolithography process for barrier metal etching - a resist removal process for photolithographies, and many processes, The period after the chip wafer of LSI is completed until a TAB package is completed became long, and there was a problem in respect of productivity.

[0008] The imprint bump method is offered as a well-known example of these problem-solving means. The mask section 11 for plating in which opening corresponding to the top face of the heat-resisting glass plate 10 was formed with the chip electrode as this showed drawing 4 , The conductive layer material 12 which serves as a track in the case of electrolytic plating is constituted. After depositing BAMBU 13 by electrolytic plating here, are what considered alignment as the lead of a tape carrier package, heated - pressurized, and imprinted the bump 13 to this lead side, and mounting is faced. Although a bump formation process is complicated a little as compared with the bump (wafer bump) method used conventionally is the method joined to the chip electrode of LSI like the above, and explained this imprint bump 13 to the beginning A barrier metal is unnecessary and there is a lost advantage.

[0009]

[Problem(s) to be Solved by the Invention] When joining an electrode to a lead through the bump formed like \*\*\*\*, a bonding tool must specifically be used. That is, the silicon base located under the electrode of an LSI chip if pressurization and heating become an ununiformity in this process, although junction according to Au-Su eutectic association or Au-Au thermocompression bonding as it described above, when the bonding tool beforehand heated by predetermined temperature from after that a tape carrier package leads was made to pressurize homogeneity by the fixed pressure is performed will be made to generate a crack. Therefore, advanced homogeneity is required of the above-mentioned bump's height dimension, for example, the homogeneity of the bump of an LSI chip electrode has desirable \*\*0.5 micrometers or less.

[0010] Since the dependability of junction improves so that the degree of hardness of a bump's quality of the material is important at the time of the pressurization at the time of bonding and the bump's herself degree of hardness is inevitably soft, moreover, at the time of bump formation It is necessary to control a deposit crystal, lessening electrolytic plating current density and spending many hours. For example, with Vickers hardness, when a tip side electrode is aluminum NIUMU (aluminum), since the bump of the low degree of hardness of 40-60Hv is desirable to prevention of said crack The bump deposit conditions according to the minute parcel plating of pure gold in order to fill these demands are usually 1 A/dm<sup>2</sup>. Although about 15-20 micrometers is heaped up with the following current density, on this condition, there is a problem that forming a predetermined bump takes time amount too much. as a means to, shorten this deposit time amount, of course -- current density -- 200 - 400 A/dm<sup>2</sup> up to -- if it pulls up, short-time processing is possible -- but -- the pole of plating conditions -- from [ that plating thickness and a configuration are affected also for slight fluctuation ] -- actual -- a low current consistency -- time amount -- not applying -- it did not obtain and production cost quantity was not avoided.

[0011] Even if the purpose of this invention makes a bump's geometry precision comparatively coarse, while it makes a manufacturing cost cheap by forming for a short time, junction precision is in offer of the tape automated bonding approach of the solder bump use whose maintenance is enabled than the conventional thing and an EQC.

[0012]

[Means for Solving the Problem] As a bump's material, conventionally, using the solder said to be unusable, the solder bump for the junction to each lead of TAB with an LSI chip is formed, and a copper

oxide film or the copper solder resist film is formed in the above-mentioned solder bump's perimeter in this invention for a limit of this solder bump's solder leakage nature, and corrosion prevention of a copper foil pattern.

[0013]

[Function] In this invention, since the bump is formed with solder, as compared with pure gold, it becomes a sharply low degree of hardness. Since the leakage nature at the time of solder melting is also regulated when it can join on pressurization / heating conditions lower than before, and junction dependability also becomes high at a chip mounting process and there is no concern which does damage also to the silicon base. While preventing the leakage breadth of solder, when bonding which controlled the amount of solder can be performed, allowances are acquired by a bump's dimensional accuracy, and compaction of the raising processing time can promote sharply the current density at the time of a bump deposit.

[0014]

[Example] The example of this invention is explained below, referring to each drawing below drawing 5.

[0015] First, after applying the photoresist 22 for making the mask for solder plating to the edge of each lead 21 of a tape carrier package, the opening 23 for bump formation is drilled there at a photolithography process (refer to drawing 5). Subsequently, if the above-mentioned photoresist 22 is removed after carrying out deposit formation of the solder bump 24 at this opening 23, and it is immersed in benzotriazole (Benzo-Tri-Azol) liquid at degree (refer to drawing 6) process with a minute partial electrolytic plating means, the copper (Cu) of the lead 21 section will oxidize alternatively, and as shown in drawing 7, the oxide film 25 of very thin copper will be formed in the front face of lead 21.

[0016] On the other hand, although aluminum NIUMU (aluminum) was made to vapor-deposit conventionally on the occasion of the processing by the side of the electrode 27 of the chip 26 of LSI. In order to raise junction nature with the solder bump 24, make the top face of this electrode 27 vapor-deposit tin (Sn) with strong compatibility with solder, and the alloy layer 28 of aluminum and Sn is made to form, and the maximum upper layer of an electrode 27 is used as the Sn film 29, and forms a protective coat (passivation) 30 at last.

[0017] If lead 21 is heated at 240-300 degrees C when **\*\***(ing) and joining LSI chip 26 to lead 21 through the solder bump 24, the solder bump 24 will fuse. Here, on the property, the metal fused as everyone knows deforms into a solid sphere in order to make surface area min (wet back).

[0018] The spherical volume V at this time will serve as a degree type, if that radius is set to r.

[0019]

$$V = 4 / 3 \cdot \pi r^3 \dots\dots (1)$$

If the specific gravity of solder is now set to rho, the solder bump's 24 weight W will be obtained by the degree type.

[0020]

$$W = 4 / 3 \cdot \pi r^3 \cdot \rho \dots\dots (2)$$

On the other hand, when thickness of S and the formed solder bump is set to h for the opening area of the opening 23 of the resist film for solder bumps in drawing 5, the solder bump's 24 weight W formed of plating can be expressed also with the form of a degree type.

[0021]

$$W = S \cdot h \cdot \rho \dots\dots (3)$$

Since the above-mentioned (2) formula and (3) types are equal here, the radius r of the solder which is obtained from both formulas and which carried out the wet back is as follows.

[0022]

$$r = (3Sh / 4\pi)^{1/3} \dots\dots (4)$$

Therefore, a solder bump's thickness (height) H which carried out the wet back becomes a diameter of sphere.

$$H = 2r \dots\dots (5)$$

That is, on the occasion of junction to an LSI chip, only its 1/cube of height h of the solder bump 24

shown in drawing 6 will not be effective.

[0023] This is the same as the precision of the solder bump's 24 height dimension in drawing 6 having been eased sharply, when forming the solder bump 24 of the condition of drawing 6, since it does not have to carry out control highly precise in an electrolytic plating processing phase, enlarges current density and becomes possible [ carrying out short-time processing ]. Consequently, in the case of junction, even if variation arises in a thickness dimension among each bumps of metaphor a large number, since only a 1-/cube is uninfluential, it does not become letter of practical use all \*\*\*\*\*.

[0024] On the other hand, the solder bump's 24 degree of hardness is a far low value (it is 8-15Hv at Vickers hardness) as compared with the degree of hardness of the bump of pure gold, and at the time of solder melting, since it is a still lower degree of hardness, it becomes that there is no accident, such as said crack initiation by the pressurization at the time of junction.

[0025] Moreover, in the example of this invention, although the problem by having used solder was concern in which solder spreads along the front face of lead 21 at the time of melting, since the oxide film 25 which regulates solder leakage nature was formed in the front face of lead 21, the solder 24 which carried out the wet back has held the globular form (refer to drawing 9). On the other hand, as shown in drawing 10, the film 29 of solder and tin with high compatibility (Sn) is exposed to the electrode surface of LSI chip 26, and since the perimeter has regulated the leakage breadth of the solder \*\*\*\*(ed) and fused by passivation 30, it can control the amount of solder needed truly on the occasion of junction.

[0026] Next, other examples which regulate solder leakage nature are explained based on drawing 11.

[0027] instead of forming the metal oxide film which regulates solder leakage nature by said TAB processing carried out, this should process nickel (nickel) plating beforehand all over lead 21, on it, as drawing 5 showed, apply a photoresist, and subsequently pass a photolithography process -- a photoresist is removed after forming the solder bump 24 by plating processing. Thereby, the nickel deposit 31 is formed in the front face of lead 21, and the solder bump 24 deposits by solder plating on it.

[0028] Since it will be exposed of the nickel deposit 31 on a direct front face if a photoresist is removed, the oxide film 32 of nickel is formed and this oxide film 32 regulates the leakage nature of solder. While raising the rigidity of nickel, and the rigidity of a lead of anticorrosion-proof nature to a tape carrier package, although the operation effectiveness which anticorrosion nature can also give is acquired, since the copper foil of a lead is formed thinly, the rigid improvement by the above-mentioned nickel plating is very effective [ \*\* ] in the case of the tape carrier package for LSI especially with extremely many pins.

[0029] A solder resist is made to apply and harden instead of a photoresist 22 as other examples, and the effectiveness same also as a solder plating resist is acquired in it.

[0030] In this case, since the solder resist 41 is formed in the front face of lead 21 and deposit formation is carried out by the processing as the above that the solder bump 24 is also the same as shown in drawing 12, this solder resist 41 has prevented the corrosion of the copper which is the ingredient of lead 21.

[0031] Although each above example applies the lead of a tape carrier package, and the electrode of an LSI chip to the process (it is called inner lead bonding.) joined through a bump, it can form a bump by the same approach as said inner lead also about the solder bump of an outer lead for an LSI chip to connect with an electronic circuitry TAB by which bonding was carried out. In this case, what is necessary is just to make small, in addition melting temperature higher than the solder bump of another side for silver (Ag) at one solder bump, since the heat history is received twice [ of the bonding of an LSI chip, and mounting to the circuit board of an outer lead ] and it is necessary to distinguish between the melting temperature of the solder bump of an inner lead, and the melting temperature of the solder bump of an outer lead. That is, other processes are the same as it of said example, and can be managed only with making the presentation of the plating liquid for solder bump formation of an inner lead, and the plating liquid for solder bump formation of an outer lead into a different thing.

[0032]

[Effect of the Invention] In TAB which according to this invention forms bumps, such as an electrode of an LSI chip, and a lead edge of a tape carrier package, and is joined through it as explained above, a bump is formed with solder. A limit of this solder bump's solder leakage nature, Since a bump's periphery is covered with a copper oxide film or the copper solder resist film for corrosion prevention of a copper foil pattern Since the variation in a bump's thickness (height dimension) can be absorbed, and the effect of [ at the time of junction ] can be controlled and a bump's degree of hardness was sharply made low as compared with conventional it That a possibility of making the base of a chip etc. generating a crack in the case of junction disappeared, since it is further joined by melting of solder, the dependability of junction having improved remarkably and a junction process became easy, and the production yield improved -- bump formation cost is cheap further again -- etc. -- it has many higher efficacy.

---

[Translation done.]



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

- [Drawing 1] The explanation sectional view showing the conventional bump
- [Drawing 2] The explanation sectional view showing the conventional bump's other examples
- [Drawing 3] The explanation sectional view showing junction by the conventional bump
- [Drawing 4] The explanation sectional view showing a well-known imprint bump
- [Drawing 5] The explanation perspective view showing the condition of having formed the bump location in the process which forms a solder bump in the example of this invention
- [Drawing 6] The explanation perspective view showing the condition of having deposited the solder bump
- [Drawing 7] The explanation sectional view showing the condition of having formed the oxide film
- [Drawing 8] The explanation perspective view showing the condition of having formed the solder bump of this invention in the LSI chip
- [Drawing 9] The explanation perspective view showing the condition that the solder bump fused
- [Drawing 10] The explanation perspective view showing the condition of having joined the lead to the electrode through the solder bump
- [Drawing 11] The explanation perspective view showing a nickel oxide-film formation condition in a lead
- [Drawing 12] The explanation perspective view showing the condition of having formed the leakage nature specification part by the solder resist in the lead

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338535

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/60

識別記号

3 1 1 R 6918-4M

片内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平3-309464

(22) 出願日 平成3年(1991)11月25日

(71) 出願人 591262713

株式会社ソニックス

神奈川県横浜市中区間門町1-61-23

(72) 発明者 島津 泰生

神奈川県横浜市中区間門町1-61-23 株

式会社ソニックス内

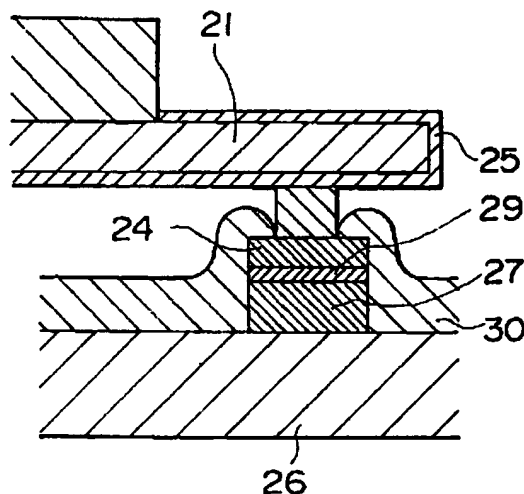
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 半田バンプ利用のテープ・オートメイトッド・ボンディング方法

(57) 【要約】 (修正有)

【目的】 L S Iチップ電極とフィルムキャリアのリードとを接合するテープ・オートメイトッド・ボンディング (T A B) 方式に於いて、電極又はリードに形成する接合用のバンプを半田で形成し、半田の特性を利用して、バンプ形成コストの低廉化、接合信頼性の保持、接合工程の歩留り向上等ができるようにしている。

【構成】 上記T A Bのリード21又はチップ電極27の所定部分の半田でバンプを形成すると共に、該半田バンプ24の周囲に半田漏れ性を規制し、且つ銅箔パターンの腐蝕防止のため、銅の酸化膜25又は、半田レジスト膜を形成している。



## 【特許請求の範囲】

【請求項1】 フィルムキャリアの各リード端又は集積回路素子の各電極に、半田により接合用バンパを形成し、且つ該バンパのみを残した周辺域には銅酸化膜又は半田レジスト膜を形成して接合部以外の範囲は半田漏れ性を規制せしめ、この半田バンパを溶融接合して上記電極とリードを一括接合するようにしたことを特徴とする半田バンパ利用のテープ・オートメテッド・ボンディング方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、超高密度集積回路素子(LSI)のチップを、長尺状の樹脂フィルムに直接ボンディングするテープ・オートメテッド・ボンディング(TAB)に係わり、この接合に際してチップの電極及びフィルム側のリード端に半田で所定のバンパを形成し、バンパの表面以外の部分は半田漏れ性を規制せしめ、該半田バンパの溶融により両者を接合する半田バンパ利用のテープ・オートメテッド・ボンディング方法に関する。

## 【0002】

【従来の技術】 各種電子機器の小型化のためにLSIが多用されているが、このLSIを回路基板に搭載する実装技術にTABが昨今注目されている。周知の如くTABは、写真フィルムと同形態の長尺樹脂フィルム上に、銅箔でリードや配線パターンを形成し、バンパを介してそこにLSIのチップを接合する方式であり、チップの電極数に係わらず一括して接合可能であって、従来の金線による各電極とリードを個々にワイヤーボンディングする方法ではコスト高や歩留り低下が避けられない超多

ピンのLSIには、極めて有効な接合方法である。

【0003】 上記TABで用いられる樹脂フィルムは、ポリイミド、ガラス繊維入エポキシ或いは、ポリエステル等の樹脂により厚さ75~125 $\mu$ mで幅35~70mmの長尺フィルム状に成形され、且つその表面に圧延銅、電解銅等で所定のリードや回路パターンが厚さ18~35 $\mu$ mで形成されたフィルムキャリアであり、又このリード端に純金等で微細な突起状のバンパを予め形成してあり、LSIチップの電極との接合に際し、該バンパを加圧・加熱して両者を接合するので、TABにとっ

てはバンパが極めて重要である。

【0004】 以下、従来のバンパについて図1及び図2を参照しながら説明する。同図に於いて、LSIのチップ1の上面には所定の電極2が多数形成されており、其の各々に電極2を保護するための保護膜(バシベーション)3を形成し、且つ該電極2の表面には多層金属膜(バリヤメタル)4を積層形成し、更にその上部に電解メッキで純金等のバンパ5を析出してある。

【0005】 バンパ5の形状はその形成過程により異なり、図1の場合は、マッシュルームバンパと呼ばれ、バ

ンパ5の形成に際し、フォトレジスト膜の厚みが1~2 $\mu$ mの薄いものを使用して電解メッキ処理をし析出形成したものである。図2の例はストレートウォールバンパと呼ばれるもので、バンパ5の形成に際して、厚みが10~50 $\mu$ mの厚いフォトレジスト膜を使用して電解メッキ処理した場合にできる形態である。

【0006】 接合に際しては、図3に示すようにフィルムキャリア6のリード部7をバンパ5の上から加熱押圧するのであるが、前記したように従来実施されている一般的なバンパ5は純金(Au)で形成され、他方のリード部7の外表面は、Au又は錫(Sn)で表面処理をしてあり、Auの組み合わせの場合はAu・Auの熱圧着となり、AuとSnの組み合わせの場合はAu-Sn共晶結合となる。

【0007】 上記バンパ5を形成する場合には、先ずバリヤメタル4を電極2に被着させるが、このとき著しい応力がLSIチップ1のウェハーに作用して、高度集積化のため薄くなっているゲート酸化膜やシリコンベース等を損傷する恐れがあり、又バンパ5を形成する時のプロセスは、フォトリソグラフィ工程~メッキ工程~メッキ用レジスト除去工程~バリヤメタルエッチング用フォトリソグラフィ工程~フォトリソグラフィ用レジスト除去工程と多数の工程があるため、LSIのチップウェハーが完成してから、TABパッケージが完成する迄の期間が長くなり、生産性の点で問題があった。

【0008】 これらの問題解決手段の公知例としては、転写バンパ方式が提供されている。これは図4に示す如く、耐熱ガラス板10の上面に、チップ電極と対応する開口部が形成されたメッキ用マスク部11と、電解メッキの際に導電路となる導電層材12を構成したものであり、ここに電解メッキによりバンパ13を析出させた後、フィルムキャリアのリードと位置合わせをし、加熱~加圧して該リード側にバンパ13を転写したもので、実装に際しては、該転写バンパ13をLSIのチップ電極に前記と同様にして接合する方式であり、冒頭に説明した従来利用されているバンパ(ウェハーバンパ)方式と比較して、バンパ形成工程がやや複雑化するが、バリヤメタルが不用で、ボンディング上の制約も無くなる利点がある。

## 【0009】

【発明が解決しようとする課題】 上述の如く形成されたバンパを介してリードと電極を接合する場合、具体的にはボンディングツールを使用しなければならない。即ち、フィルムキャリアのリードの上から、予め所定温度に加熱されたボンディングツールを一定の圧力で均一に加圧させると、前記したようにAu-Su共晶結合又は、Au・Au熱圧着による接合が行われるのであるが、この過程で加圧、加熱が不均一になるとLSIチップの電極の下に位置するシリコンベースにクラックを発生させてしまう。従って、上記バンパの高さ寸法に高度

な均一性が要求され、例えばLSIチップ電極のパンプの均一性は、 $\pm 0.5 \mu\text{m}$ 以下が望ましい。

【0010】又、ボンディング時の加圧時には、パンプの材質の硬度が重要であり、必然的にパンプ自体の硬度が柔らかいほど接合の信頼性が向上するため、パンプ形成時には、電解メッキ電流密度を少なくし時間をかけながら析出結晶を制御する必要がある、例えばチップ側電極がアルミニウム(A1)の場合、前記クラックの防止にはピッカース硬度で40~60Hvの低い硬度のパンプが望ましいので、これらの要求を満たすため、純金の微小部分メッキによるパンプ析出条件は、通常1A/dm<sup>2</sup>以下の電流密度で15~20 $\mu\text{m}$ 程度盛り上げているが、この条件では所定のパンプを形成するのに時間がかかり過ぎるという問題がある。勿論この析出時間を短縮する手段として電流密度を200~400A/dm<sup>2</sup>まで引き上げれば短時間処理が可能だが、メッキ条件の極僅かな変動でもメッキ厚や形状に影響がでることから、実際には低電流密度で時間をかけざるを得ず、生産コスト高が避けられなかった。

【0011】本発明の目的は、パンプの形状寸法精度を比較的粗くしても短時間で形成することで製造コストを低廉化すると共に、接合精度は従来のものと同等以上に保持可能とする半田パンプ利用のテープ・オートメテッド・ボンディング方法の提供にある。

【0012】

【課題を解決するための手段】本発明では、パンプの素材として従来は使用不可能といわれていた半田を利用するものであって、TABの各リードにLSIチップとの接合のための半田パンプを形成し、該半田パンプの半田漏れ性の制限と、銅箔パターン腐蝕防止のために、銅の酸化膜又は半田レジスト膜を上記半田パンプの周囲に形成してある。

【0013】

【作用】本発明では、パンプを半田で形成しているため、純金と比較して大幅に低い硬度となり、チップ実装工程では従来より低い加圧・加熱条件で接合が可能であり且つ、接合信頼性も高くなり、シリコンベースにも損傷を与える懸念がない上、半田溶融時の漏れ性も規制しているので、半田の漏れ広がりを防止すると共に、半田量の制御を行ったボンディングができる上、パンプの寸法精度にも余裕が得られ、パンプ析出時の電流密度を大幅に上げ処理時間の短縮が促進できる。

【0014】

【実施例】以下に本発明の実施例について、図5以下の各図を参照しながら説明する。

【0015】まず、フィルムキャリアの各リード21の端部に、半田メッキ用のマスクを作るためのフォトレジスト22を塗布した後、そこにパンプ形成用の開口部23をフォトリソグラフィ工程で穿設する(図5参照)。次いで微小部分電解メッキ手段により、該開口部23に

半田パンプ24を析出形成した後、上記フォトレジスト22を除去し、(図6参照)次工程でベンゾ・トリ・アゾール(Benzo・Tri・Azol)液に浸漬すると、リード21部の銅(Cu)のみが選択的に酸化され、図7に示すようにリード21の表面に極めて薄い銅の酸化膜25が形成される。

【0016】他方、LSIのチップ26の電極27側の処理に際して、従来はアルミニウム(A1)のみを蒸着させていたが、半田パンプ24との接合性を高めるため、半田との親和性が強い錫(Sn)も該電極27の上面に蒸着させ、A1とSnの合金層28を形成せしめ、且つ電極27の最上層はSn膜29としてあり、最終に保護膜(パシベーション)30を形成する。

【0017】而して、半田パンプ24を介してLSIチップ26をリード21に接合する場合、リード21を240~300℃に加熱すると、半田パンプ24が溶融する。ここで、周知のように溶融した金属は、その性質上、表面積を最小にするため球体に変形(ウェットバック)する。

【0018】この時の球体の体積Vは、その半径をrとすると、次式となる。

【0019】

$$V = 4/3 \cdot \pi r^3 \quad \dots\dots\dots (1)$$

今、半田の比重を $\rho$ とすると、半田パンプ24の重量Wは次式で得られる。

【0020】

$$W = 4/3 \cdot \pi r^3 \cdot \rho \quad \dots\dots\dots (2)$$

一方、図5に於ける半田パンプ用レジスト膜の開口部23の開口面積をS、形成された半田パンプの厚みをhとすると、メッキにより形成された半田パンプ24の重量Wは、次式の形で表せる。

【0021】

$$W = S h \rho \quad \dots\dots\dots (3)$$

此処で上記(2)式と、(3)式とは等しいから、両式より得られるウェットバックした半田の半径rは、次のようになる。

【0022】

$$r = (3 S h / 4 \pi)^{1/3} \quad \dots\dots\dots (4)$$

従ってウェットバックした半田パンプの厚み(高さ)Hは、球の直径となる。

$$H = 2 r \quad \dots\dots\dots (5)$$

つまり、図6に示される半田パンプ24の高さhは、LSIチップとの接合に際して、その1/3乗しか効いてこないことになる。

【0023】このことは、図6に於ける半田パンプ24の高さ寸法の精度が大幅に緩和されたことと同じであり、図6の状態の半田パンプ24を形成する場合には、電解メッキ処理段階で高精度の制御をせずに済むことから、電流密度を大きくし且つ、短時間処理することが可能となる。その結果、例えば多数の各パンプどうしの間で

厚み寸法にバラツキが生じたとしても、接合の際には1/3乗しか影響がないので、実用状全く問題にはならない。

【0024】他方、半田バンプ24の硬度は、純金のバンプの硬度に比較して遥かに低い値（ビッカース硬度で8~15HV）であり、半田熔融時には更に低い硬度であるから、接合時の加圧による前記クラック発生等の事故は皆無となる。

【0025】又、半田を利用したことによる問題は、熔融時にリード21の表面に沿って半田が広がってしまう懸念であるが、本発明の実施例では、リード21の表面に半田漏れ性を規制する酸化膜25が形成されているので、ウェットバックした半田24は球形を保持したままである（図9参照）。一方、図10に示すようにLSIチップ26の電極表面には、半田と親和性の高い錫（Sn）の膜29が露出しており、且つその周囲はバシベーション30で囲繞して熔融した半田の漏れ広がりを規制しているため、接合に際して真に必要とする半田量を制御することができる。

【0026】次に、半田漏れ性を規制する他の実施例について図11に基づき説明する。

【0027】これは、半田漏れ性を規制する金属酸化膜を前記したTAB処理により形成する代わりに、リード21の全面に予めニッケル（Ni）メッキを処理し、その上に図5で示したようにフォトレジストを塗布し、次いでフォトリソグラフィ工程を経て半田バンプ24をメッキ処理で形成した後、フォトレジストを除去する。これにより、リード21の表面にはNiメッキ層31が形成され、その上に半田バンプ24が半田メッキで析出される。

【0028】フォトレジストが除去されるとNiメッキ層31が直接表面に露呈してくるので、Niの酸化膜32が形成され、この酸化膜32が半田の漏れ性を規制する。然も、Niの剛性と耐防蝕性から、フィルムキャリアのリードの剛性を高めると共に、防蝕性も持たせることができる作用効果がえられるが、特にピン数が極端に多いLSI用のフィルムキャリアの場合には、リードの銅箔を薄く形成しているのので、上記Niメッキによる剛性の向上は極めて有効である。

【0029】この他の実施例として、フォトレジスト22の代わりに半田レジストを塗布して硬化せしめ、それを半田メッキレジストとしても同じ効果が得られる。

【0030】この場合、図12に示すようにリード21の表面に半田レジスト41が形成され、且つ半田バンプ24も前記と同様の処理により析出形成されるので、該半田レジスト41がリード21の材料である銅の腐蝕を防止している。

【0031】以上の各実施例は、フィルムキャリアのリ

ードとLSIチップの電極を、バンプを介して接合するプロセス（インナーリードボンディングという。）に適用したものであるが、LSIチップがボンディングされたTABを電子回路と接続するためのアウターリードの半田バンプに関しても、前記インナーリードと同一方法でバンプを形成できる。この場合、LSIチップのボンディングとアウターリードの回路基板への実装との2回、熱履歴を受けるのでインナーリードの半田バンプの熔融温度と、アウターリードの半田バンプの熔融温度に差をつける必要があるため、一方の半田バンプに銀（Ag）を僅か加えて熔融温度を他方の半田バンプより高くすればよい。即ち、インナーリードの半田バンプ形成用のメッキ液と、アウターリードの半田バンプ形成用のメッキ液の組成を異なるものにするだけで、他のプロセスは前記実施例のそれと同じで済む。

【0032】

【発明の効果】以上説明したように本発明によれば、LSIチップの電極及びフィルムキャリアのリード端等、バンプを形成し且つそれを介して接合するTABに於いて、半田によりバンプを形成し、該半田バンプの半田漏れ性の制限と、銅箔パターンの腐蝕防止のために銅の酸化膜又は半田レジスト膜でバンプの外周を被覆してあるので、バンプの厚み（高さ寸法）のバラツキを吸収して接合時の影響を抑制可能であり、又、バンプの硬度を従来のそれと比較して大幅に低くし得たので、接合の際にチップのベース等にクラックを発生させたりする恐れがなくなったこと、更に、半田の熔融で接合されるため、接合の信頼性が著しく向上したことや接合プロセスが容易になり、生産歩留りが向上したこと、更に又、バンプ形成コストが低廉である等の幾多の著効を有する。

【図面の簡単な説明】

【図1】従来のバンプを示す説明断面図

【図2】従来のバンプの他例を示す説明断面図

【図3】従来のバンプによる接合を示す説明断面図

【図4】公知の転写バンプを示す説明断面図

【図5】本発明の実施例で半田バンプを形成する過程に於いて、バンプ位置を形成した状態を示す説明斜視図

【図6】半田バンプを析出した状態を示す説明斜視図

【図7】酸化膜を形成した状態を示す説明断面図

【図8】LSIチップに本発明の半田バンプを形成した状態を示す説明斜視図

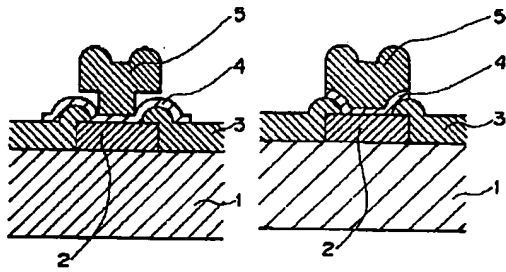
【図9】半田バンプが熔融した状態を示す説明斜視図

【図10】半田バンプを介して電極とリードを接合した状態を示す説明斜視図

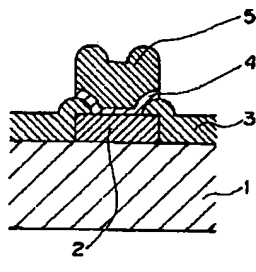
【図11】リードにニッケル酸化膜形成状態を示す説明斜視図

【図12】リードに半田レジストによる漏れ性規制部を形成した状態を示す説明斜視図

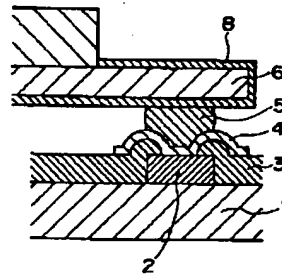
【図1】



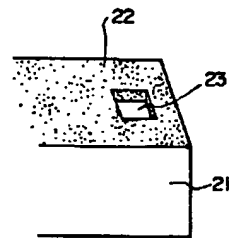
【図2】



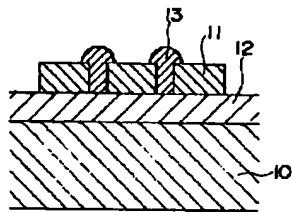
【図3】



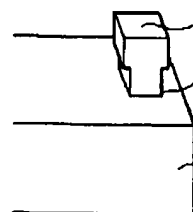
【図5】



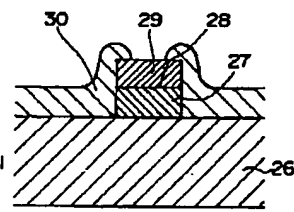
【図4】



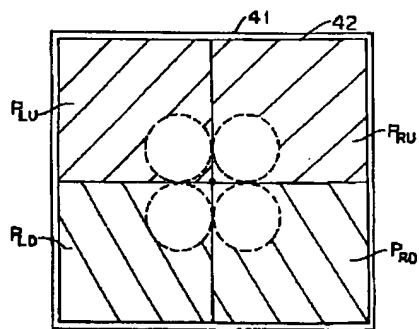
【図6】



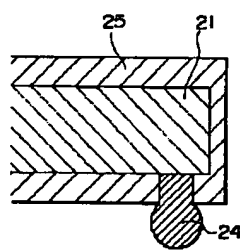
【図8】



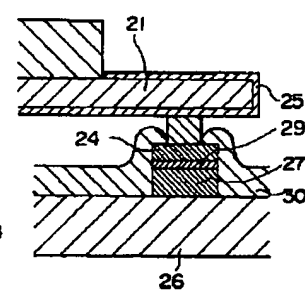
【図7】



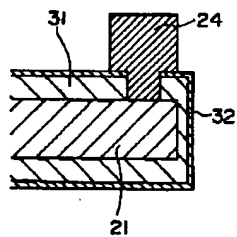
【図9】



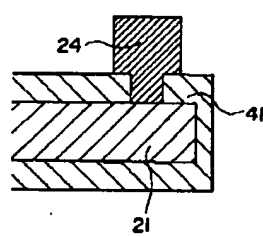
【図10】



【図11】



【図12】



(6)

特開平6-338535

【手続補正書】

【提出日】平成3年12月2日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】

